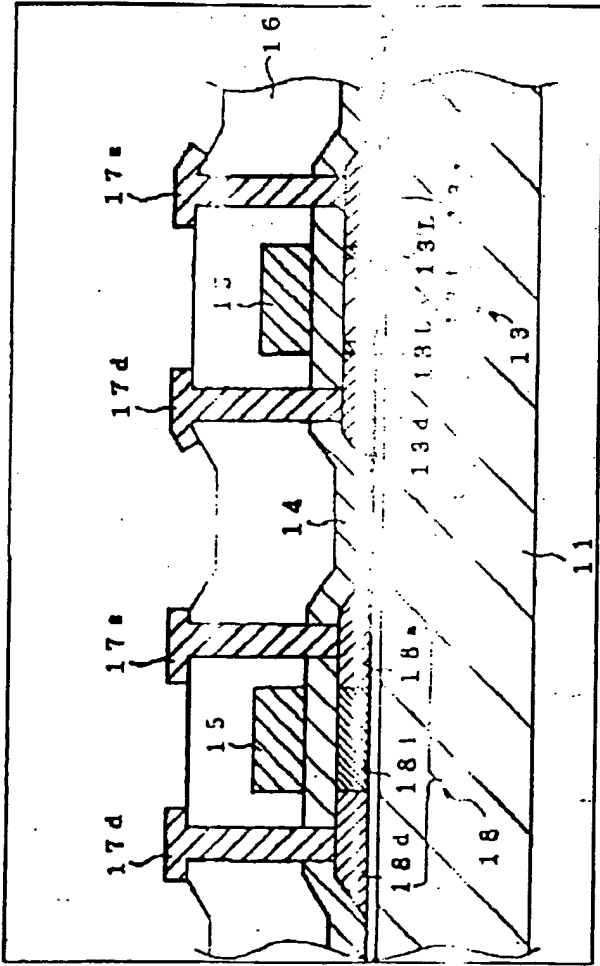


<p>9-625521/54 L03 SHIBA KK 1998.03.20 1998-072823(+1998JP-072823) (1999.10.08) H01L 29/786, 21/336</p> <p>TOKE 1998.03.20 *JP 11274502-A</p> <p>n film transistor of liquid crystal display device - consists of e electrode arranged opposite to channel and LDD areas on e insulating film, and source and drain electrodes are joined to tact areas of semiconductor film 1999-182709</p>	<p>L(3-G5B, 4-E1)</p> <p>Used in liquid crystal display device as switching element for pixel selection.</p> <p><u>ADVANTAGE</u></p> <p>LDD area is arranged to gate electrode bottom thereby LDD length is uniform and compact thin film transistor with high productivity can be manufactured. Shortens channel length hence maintains high mobility. Improves display quality. Since LDD length is shortened, the mobility of carriers does not reduce. When applied to pixel circuit of image pick-up apparatus, the noise of image signal can be reduced. Moreover, sensitivity to the noise of image signal can be taken reliably.</p> <p><u>DESCRIPTION OF DRAWING(S)</u></p> <p>The figure shows cross-section of thin-film transistor on a schematic target. (13) Semiconductor film; (13L) LDD area; (13i) Channel area; (13s,13d) Contact areas; (14) Gate insulating film; (15) Gate electrode; (17s) Source electrode; (17d) Drain electrode.</p> <p>JP 11274502-A+</p>
<p><u>VELTY</u></p> <p>A semiconductor film (13) has phosphorus doped LDD area (13L) on exterior of channel area (13i) which consists of crystalline silicon, and contact areas (13s,13d) arranged exterior LDD area. A gate electrode (15) is arranged opposite to channel LDD areas, on a gate insulating film (14). Source and drain electrodes (17s,17d) are joined to contact areas.</p> <p><u>TAILED DESCRIPTION</u></p> <p>An INDEPENDENT CLAIM is also included for manufacturing method of thin film transistor.</p>	



(19pp3092DwgNo.1/18)

JP 11274502-A

DIALOG(R)File 345:Inpadoc/Fam.& Legal Stat

(c) 2003 EPO. All rts. reserv.

15510880

Basic Patent (No,Kind,Date): JP 11274502 A2 19991008 <No. of Patents: 001 >

THIN FILM TRANSISTOR AND METHOD FOR MANUFACTURING THIN FILM
TRANSISTOR (English)

Patent Assignee: TOKYO SHIBAURA ELECTRIC CO

Author (Inventor): YAMAJI TAKAMI; IKEDA MITSUSHI; ENDO NAOHIKO;
MIZUTANI YOSHIHISA

IPC: *H01L-029/786; H01L-021/336

CA Abstract No: *131(18)251347M; 131(18)251347M

Derwent WPI Acc No: *C 99-625521; C 99-625521

Language of Document: Japanese

Patent Family:

Patent No	Kind	Date	Applic No	Kind	Date
JP 11274502	A2	19991008	JP 9872823	A	19980320 (BASIC)

Priority Data (No,Kind,Date):

JP 9872823 A 19980320

DIALOG(R)File 347:JAPIO

(c) 2003 JPO & JAPIO. All rts. reserv.

06332900 **Image available**

THIN FILM TRANSISTOR AND METHOD FOR MANUFACTURING THIN FILM TRANSISTOR

PUB. NO.: 11-274502 [JP 11274502 A]

PUBLISHED: October 08, 1999 (19991008)

INVENTOR(s): YAMAJI TAKAMI

IKEDA MITSUSHI

ENDO NAOHIKO

MIZUTANI YOSHIHISA

APPLICANT(s): TOSHIBA CORP

APPL. NO.: 10-072823 [JP 9872823]

FILED: March 20, 1998 (19980320)

INTL CLASS: H01L-029/786; H01L-021/336

ABSTRACT

PROBLEM TO BE SOLVED: To provide poly-Si thin film transistors in which a leak current is small, and which is compact and high in producibility.

SOLUTION: This transistor has a channel region (first region) 13i as a semiconductor film 13 of poly-Si thin film transistors, contact regions (third regions) 13s, 13d to which P(phosphorus) and As(arsenic) are added as a plurality of n-type impurities, and a LDD(light doped drain) region (second region) 13L which is interposed between the channel region 13i and the contact regions 13s, 13d, and to which P is added as the n-type impurity. Further, a LDD length d of this LDD region is set to be about 0.5 μm or less, preferably. With such structure, it is possible to shorten the LDD length and reduce a leak current, and also increase mobility of carriers.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-274502

(43) 公開日 平成11年(1999)10月8日

(51) Int.Cl.⁶

H 0 1 L 29/786
21/336

識別記号

F I

H 0 1 L 29/78

6 1 6 A

6 1 6 V

審査請求 未請求 請求項の数 4 O L (全 19 頁)

(21) 出願番号 特願平10-72823

(22) 出願日 平成10年(1998)3月20日

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 山路 貴美

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 池田 光志

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(72) 発明者 遠藤 尚彦

神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内

(74) 代理人 弁理士 須山 佐一

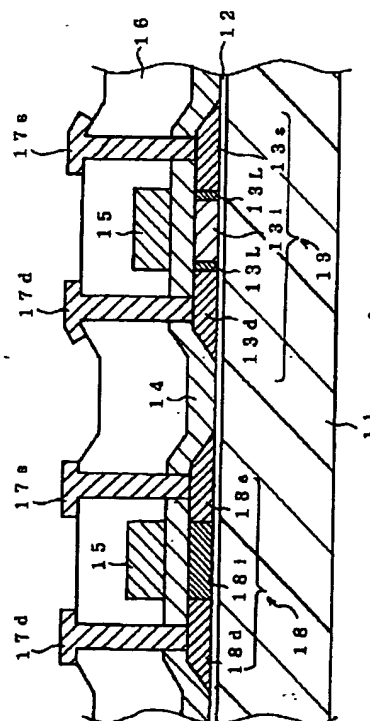
最終頁に続く

(54) 【発明の名称】 薄膜トランジスタおよび薄膜トランジスタの製造方法

(57) 【要約】

【課題】 リーク電流が小さく、コンパクトで生産性の高いpoly-Si薄膜トランジスタを提供する。

【解決手段】 poly-Si薄膜トランジスタの半導体膜13として、チャネル領域(第1の領域)13iと、複数のn型不純物としてP(リン)およびAs(ヒ素)が添加されたコンタクト領域(第3の領域)13s、13dと、チャネル領域13iとコンタクト領域13s、13dとの間に挟まれ、n型不純物としてPが添加されたLDD領域(第2の領域)13Lとを有している。またこのLDD領域のLDD長dは好ましくは約0.5μm以下に設定される。このような構成によりLDD長を短くすることができリーク電流を低減するとともに、キャリアの移動度を高くすることができる。



【特許請求の範囲】

【請求項1】 多結晶質シリコンからなる第1の領域と、第1の不純物が添加された前記多結晶質シリコンからなり、前記第1の領域の外側に配設された第2の領域と、前記第1の不純物および第2の不純物が添加された前記多結晶質シリコンからなり、前記第2の領域の外側から前記第1の領域を挟むように配設された第3の領域とを有する半導体膜と、

前記半導体膜の前記第1の領域および前記第2の領域とゲート絶縁膜を介して対向するように配設されたゲート電極と、

前記半導体膜の前記第3の領域と接合したソース・ドレイン電極とを具備したことを特徴とする薄膜トランジスタ。

【請求項2】 少なくとも表面が絶縁性を呈する基板上に非単結晶の結晶質シリコンからなる半導体膜を形成する工程と、

前記半導体膜上にゲート絶縁膜を形成する工程と、

前記ゲート絶縁膜上にゲート電極を形成する工程と、

前記ゲート電極をマスクとして前記半導体膜に第1の不純物イオンを添加する工程と、

前記ゲート電極をマスクとして前記半導体膜に、前記第1の不純物よりも前記半導体膜に対して小さな拡散係数を有する第2の不純物を添加する工程と、

前記半導体膜を加熱して前記第1の不純物および前記第2の不純物を活性化する工程とを有することを特徴とする薄膜トランジスタの製造方法。

【請求項3】 多結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、前記第1の領域を挟むように配設され前記第1の平均粒径よりも大きな第2の平均粒径を有する第2の領域と、前記第2の領域の外側から前記第1の領域を挟むように配設された第3の領域とを有する半導体膜と、

前記半導体膜の前記第1の領域とゲート絶縁膜を介して対向するように配設されたゲート電極と、

前記半導体膜の前記第3の領域と接合したソース・ドレイン電極とを具備したことを特徴とする薄膜トランジスタ。

【請求項4】 多結晶質シリコンからなり、チャネル領域と、チャネル領域の両側に配設されたコンタクト領域と、前記チャネル領域と前記コンタクト領域との間の少なくとも一方に配設されたLDD領域とを有する半導体膜と、前記半導体膜の前記第1の領域とゲート絶縁膜を介して対向するように配設されたゲート電極と、前記半導体膜の前記第3の領域と接合したソース・ドレイン電極とを具備し、

前記第2の領域または前記第3の領域では、前記第1の領域よりもバンドギャップが大きいことを特徴とする薄膜トランジスタ。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は薄膜トランジスタに関し、特に多結晶質シリコンからなる半導体膜をチャネルに用いた薄膜トランジスタおよびその製造方法に関する。また本発明は液晶表示装置の画素選択用スイッチング素子に適した薄膜トランジスタに関する。

【0002】

【従来の技術】薄膜トランジスタ(TFT:Thin Film Transister)は、様々な分野で大量に用いられている半導体素子である。

【0003】例えば液晶表示装置等の表示装置は薄型・軽量であり、低電圧駆動が可能で、さらにカラー表示も容易である等の特徴を有しており、近年、パーソナルコンピュータ、ワードプロセッサ、あるいは各種携帯用情報端末の表示装置として幅広く用いられている。そして液晶表示装置の画素部、駆動回路部のスイッチング素子としてはMOS(MIS)電界効果トランジスタなどの薄膜トランジスタが広く用いられている。

【0004】シリコンからなる半導体膜をチャネルに用いた薄膜トランジスタを、キャリア走行層(活性層)の構成材料から分類すると、非晶質シリコン(アモルファスシリコン: a-Si)からなる半導体膜を用いたものと、結晶相を有する多結晶質シリコン(非単結晶の結晶質シリコン)からなる半導体膜を用いたものとに分類することができる。多結晶質シリコンとしては主として多結晶シリコン(poly-Si)、または微結晶シリコン(μ c-Si)が知られている。さらに薄膜トランジスタのチャネル半導体膜の材料としては、シリコン以外にも例えば、SiGe、SiO、CdSe、Te、CdS等が用いられている。

【0005】poly-Siあるいは μ c-Siなどの多結晶質シリコン(非単結晶の結晶質シリコン)からなる半導体は、アモルファスシリコンからなる半導体と比較してキャリアの移動度が10倍から100倍程度大きいという特徴があり、スイッチング素子の構成材料として非常に優れた特性を有している。また多結晶質シリコンを活性層に用いた薄膜トランジスタは高速動作が可能なることから、近年では各種論理回路(例えばドミノ論理、CMOSトランスミッションゲート回路)やこれらを用いたマルチプレクサ、EPROM、EEPROM、CCD、RAM、さらに液晶表示装置、エレクトロルミネセンス表示装置等の駆動回路などを構成するスイッチング素子としても注目されている。近年、このようなpoly-Si(ポリシリコン)をチャネル半導体膜として用いた薄膜トランジスタ(TFT)をスイッチング素子及び周辺の駆動回路として採用したアクティブマトリクス型液晶表示装置が注目されている。安価な非結晶質のガラス基板を用いて低温成膜ができるpoly-Si半導体膜を用いて薄膜トランジスタアレイを構成することにより、反射型や大面積、高精細、高画質かつ安価な

パネルディスプレイ（例えばフラット型テレビジョン）を実現できる可能性があるからである。

【0006】特に、液晶表示装置においては、画素部（画素アレイ）と、走査線信号回路や信号線駆動回路などの周辺駆動回路とを同一の基板上に形成する、いわゆる画素部・駆動回路部一体型の液晶表示装置の研究・開発も精力的に行われている。このような画素部・駆動回路部一体型の液晶表示装置の画素のスイッチング素子、周辺駆動回路のスイッチング素子としては poly-Si 、 $\mu\text{-Si}$ などの多結晶質シリコンからなる半導体膜をチャネルに用いた薄膜トランジスタを用いることにより、液晶表示装置の性能を向上するとともに生産性も向上することができる。

【0007】ところで、 poly-Si TFT を液晶表示装置等の表示装置の画素選択用のスイッチング素子に用いる場合、オフ電流が大きく、表示品質が低いという問題がある。

【0008】従来の単結晶のMOSトランジスタでは、ゲート逆バイアスにおいて、チャネルがソース又はドレインと逆極性になり、空乏層が形成されて十分な耐圧及び整流性を示すため、リーク電流の増加はなかった。しかしながら、 poly-Si TFT では半導体膜を構成する結晶粒子の粒界、あるいは粒子内の欠陥を経由して電流が流れてしまうため、大きなリーク電流が発生するという問題がある。さらに、MOSトランジスタは、それほど大きなゲート逆バイアスでは用いられないために、リーク電流は問題とはならなかった。ところが、例えばアクティブマトリクス型液晶表示装置に用いられる poly-Si TFT では、約10V以上の逆バイアス下で用いられるため、リーク電流が大きな問題となる。この問題は、液晶表示装置の画素選択用薄膜トランジスタに poly-Si を用いる場合に特に重要な問題である。

【0009】このような poly-Si TFT における逆バイアスでのリーク電流を低減するために、従来、LDD構造（Light Doped Drain構造）やオフセットゲート構造が用いられている。

【0010】図16はLDD構造を採用した従来の薄膜トランジスタの断面構造の例を概略的に示す図である。

【0011】この例では n-ch 薄膜トランジスタ90nと p-ch 薄膜トランジスタ90pとが並列されている。

【0012】ガラスなどの絶縁性基板91には保護層92が形成され、保護層92上には多結晶質シリコンからなる半導体膜93が形成されている。この半導体膜93は、イントリンシックなチャネル領域93iと、 n 型不純物がドーパされたコンタクト領域93s、93dと、チャネル領域93iとコンタクト領域93s、93dとの間に挟まれたLDD領域（Lightly Doped Drain領域）93Lとを有している。半導体膜

93はゲート絶縁膜94に覆われており、ゲート絶縁膜94を介して半導体膜93のチャネル領域92iと対向するようにゲート電極95が形成されている。ゲート電極95の上側からは層間絶縁層96が形成され、ゲート絶縁膜94および層間絶縁層96に形成されたコンタクトホールを介して半導体膜93のソース・ドレイン各コンタクト領域93s、93d領域とソース電極97s、ドレイン電極97dとが接合している。なお p-ch の薄膜トランジスタ90pは、多結晶質シリコンからなる半導体膜98を有しており、この半導体膜98は、イントリンシックなチャネル領域98iと、 p 型不純物がドーパされたコンタクト領域98s、98dとを有している。LDD構造は備えていない。

【0013】例えば薄膜トランジスタ90nのようなLDD構造は、例えば以下のような工程により形成される。まず poly-Si 半導体膜93を形成した後、ゲート絶縁膜94、ゲート電極95を形成し、このゲート電極95をマスクとして不純物イオンのライトドーピングを行う。このときゲート電極95はチャネル領域93iおよびLDD領域93Lを覆うようにパターニングしておく。ついでゲート電極95をチャネル領域93iのみを覆うように再度パターニングする。そして再度パターニングしたゲート電極95をマスクとしてれたマスクとして不純物イオンのヘビードーピングを行う。

【0014】このような手法によりLDD構造を形成する場合、ゲート電極のパターニングの際のマスクずれなどにより、チャネル領域の両側でLDD長（チャネル領域とコンタクト領域との間のLDD領域の長さ）が異なったり、ばらついたりするという問題がある。このため薄膜トランジスタの特性がばらつき、また薄膜トランジスタの生産性が低下してしまうという問題がある。また、マスク合わせマージンを確保するため、LDD長を約2 μm 以下にすることはできない。このためLDD領域が高抵抗になり、キャリアの移動度が減少してしまうという問題がある。

【0015】また通常、アクティブマトリクス型液晶表示装置等のディスプレイでは、液晶層及び蓄積容量に印加する電圧をTFTにより制御している。しかし、 poly-Si TFT では結晶粒界を通じたリーク電流が発生しやすいために、画素に蓄積した表示信号に対応した蓄積電荷の放電が1フレーム内で発生することにより、表示にフリッカーが発生する。特に、バックライトを有する透過型液晶表示装置では、バックライトの照射光により光リークが発生するため、さらにフリッカーが増大してしまうなど動作上好ましくない問題が存在している。

【0016】さらにまた、 poly-Si TFT をこの種の表示装置に用いる場合、その特性、特にオフ電流のバラツキが問題になり、均一で再現性の高い表示を行うことができないという問題がある。

【0017】

【発明が解決しようとする課題】本発明はこのような問題を解決するためになされたものである。すなわち本発明は、特性が均一で、生産性が高い構造を有するpoly-Si薄膜トランジスタを提供することを目的とする。また本発明はLDD長が短く、集積化に適した構造を有するpoly-Si薄膜トランジスタを提供することを目的とする。

【0018】また本発明は、リーク電流の小さなpoly-Si TFTを提供することを目的とする。また本発明は、透過型液晶表示装置の画素選択用スイッチング素子に適した、リーク電流が少ない薄膜トランジスタを提供することを目的とする。さらに本発明は、高い生産性で、均一な特性を有するpoly-Si薄膜トランジスタの製造方法を提供することを目的とする。また本発明は表示品質の高い液晶表示装置を提供することを目的とする。

【0019】

【課題を解決するための手段】このような課題を解決するため本発明は以下のような構成を採用している。本発明の薄膜トランジスタは、多結晶質シリコンからなる第1の領域と、第1の不純物が添加された前記多結晶質シリコンからなり、前記第1の領域の外側に配設された第2の領域と、前記第1の不純物および第2の不純物が添加された前記多結晶質シリコンからなり、前記第2の領域の外側から前記第1の領域を挟むように配設された第3の領域とを有する半導体膜と、前記半導体膜の前記第1の領域および前記第2の領域とゲート絶縁膜を介して対向するように配設されたゲート電極と、前記半導体膜の前記第3の領域と接合したソース・ドレイン電極、とを具備したことを特徴とする。

【0020】ここで第1の不純物と第2の不純物とは同じ電導型の不純物である。また第1の不純物と第2の不純物とは、第1の不純物の前記半導体膜に対する拡散係数が、第2の不純物の前記半導体膜に対する拡散係数よりも大きくなるように選択する。また第1の領域とは例えばチャネル領域であり、例えばイントリンシックな多結晶質シリコン、また例えばチャネルドーパされた多結晶質シリコンから形成される。また第3の領域とは例えばコンタクト領域であり、例えばn型不純物（薄膜トランジスタがn-chの場合）あるいはp型不純物（薄膜トランジスタがp-chの場合）が添加された多結晶質シリコンから構成される。またコンタクト領域もイントリンシックな多結晶質シリコンから構成し、シリサイド層を介してソース・ドレインと接合するようにしてもよい。そして第2の領域とは例えばコンタクト領域よりも低濃度の不純物が添加されたLDD領域であり、例えばp型不純物あるいはn型不純物が添加された多結晶質シリコンから構成される。第2の領域はチャネル領域の両側に配設するようにしてもよいし、ソース側またはド

レイン側のどちらか一方に配設するようにしてもよい。

【0021】第2の領域の幅、すなわちチャネル領域とコンタクト領域との間隔は約 $2\mu\text{m}$ 以下に設定することが好ましい。このLDD長はより好ましくは約 $0.5\mu\text{m}$ 以下、さらに好ましくは $0.1\mu\text{m}$ 以下に設定するようにしてもよい。このようなLDD長は、第1のドーパントと第2のドーパントの拡散係数を選択し、また製造の際の活性化温度等の拡散時の温度条件を調節することにより、必要に応じて調節するようにすればよい。

【0022】また、生産性の観点からはゲート電極を半導体膜の第1の領域および第2の領域と対向させることが好ましい。これは、本発明では、例えばゲート電極をマスクとして第1の不純物および第2の不純物の添加を行うことができるからである。しかしながら必要に応じてゲート電極を半導体膜の第1の領域と対向するように配設してもよい。

【0023】また本発明は、多結晶質シリコンをチャネル半導体膜に用いた薄膜トランジスタにおいて、半導体膜のチャネル領域とコンタクト領域との間の少なくとも一方に、ゲート電極端部と対向し、コンタクト領域と同じ電導形のLDD領域を有するようにしてもよい。

【0024】またこのような薄膜トランジスタは、ゲート電圧がソースまたはドレイン電圧よりも 10V 以上低く動作するように設定してもよい。

【0025】このような構成を採用することにより、LDD長が均一で、しかも短い薄膜トランジスタを、高い生産性で製造することができる。またチャネル長を短くすることができるので、高い移動度を保つことができる。このような構成を有する本発明の薄膜トランジスタを例えば液晶表示装置の画素領域に配設することにより、表示品質を向上するとともに、生産性も高めることができる。

【0026】本発明の薄膜トランジスタの製造方法は、少なくとも表面が絶縁性を呈する基板上に非単結晶の結晶質シリコンからなる半導体膜を形成する工程と、前記半導体膜上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極をマスクとして前記半導体膜に第1の不純物イオンを添加する工程と、前記ゲート電極をマスクとして前記半導体膜に、前記第1の不純物よりも前記半導体膜に対して小さな拡散係数を有する第2の不純物を添加する工程と、前記半導体膜を加熱して前記第1の不純物および前記第2の不純物を活性化する工程とを有することを特徴とする。すなわち本発明の薄膜トランジスタの製造方法は、半導体膜のコンタクト領域に拡散係数の異なる同じ電導型のドーパントをドーパし、その後複数のドーパントを同時に拡散させることにより、高濃度領域であるコンタクト領域と、チャネル領域との間に低濃度領域であるLDD領域を形成するものである。

【0027】第1の不純物の前記半導体膜へ導入と第2

の不純物の前記半導体膜の導入は前後を問わない。また第1の不純物と第2の不純物とを同時に半導体膜へ添加するようにしてもよい。また不純物の半導体膜への添加は、例えばイオンドーピング法により行うようにしてもよいし、またイオン注入法により行うようにしてもよい。

【0028】このような不純物の半導体膜への添加は、ゲート電極をマスクとして行うことが好ましいが、ゲート電極とは別にマスクを形成して行うようにしてもよい。また本発明の薄膜トランジスタの製造方法では、LDD領域はコンタクト領域に添加された同じ電導型の複数のドーパントのうち、拡散係数が大きいほうのドーパントの拡散により形成される。したがってゲート電極をマスクとして不純物の添加を行う場合には、ゲート電極はチャネル領域およびLDD領域を覆うように形成しておけばよい。本発明の薄膜トランジスタの製造方法は、このような構成を採用することにより、均一な特性を有し、かつコンパクトな薄膜トランジスタを高い生産性で製造することができる。また、ソース・ドレイン領域に拡散係数の異なる同型のドーパントをドーピングして拡散させることにより、薄膜トランジスタのチャネル端部に低濃度領域（ n^- 領域）を形成することができる。またマスクずれ等の心配もなく、LDD長を短くすることができるので、キャリアの移動度が減少してしまうこともない。

【0029】このように本発明によれば、大きな工程増加なしにpoly-Si TFTのオフ電流を大きく減少させ、安定で良好な特性を有する薄膜トランジスタを実現することができる。

【0030】つぎに本発明の薄膜トランジスタの別の構成について説明する。本発明の薄膜トランジスタは、多結晶質シリコンからなり、第1の平均粒径を有する第1の領域と、前記第1の領域を挟むように配設され前記第1の平均粒径よりも大きな第2の平均粒径を有する第2の領域と、前記第2の領域の外側から前記第1の領域を挟むように配設された第3の領域とを有する半導体膜と、前記半導体膜の前記第3の領域と接合したソース電極およびドレイン電極と、前記半導体膜と絶縁性膜を介して対向し、前記半導体膜に電界を印加するゲート電極、とを具備したことを特徴とする。

【0031】ここで第1の領域とは例えばチャネル領域であり、例えばイントリンシックな多結晶質シリコンから構成される。また第3の領域とは例えばコンタクト領域であり、例えばp型不純物あるいはn型不純物が添加された多結晶質シリコンから構成される。またコンタクト領域もイントリンシックな多結晶質シリコンから構成し、シリサイド層を介してソース・ドレインと接合するようにしてもよい。

【0032】そして本発明の薄膜トランジスタでは、第1の領域のチャネル方向の外側に接して第1の領域より

も平均粒径の大きな第2の領域を備えている。すなわち、チャネル端部のpoly-Si半導体膜を構成する結晶粒の面密度あるいは体積密度が、チャネル領域よりも低くなっている。このチャネル端部の第2の領域は、例えばイントリンシックな多結晶質シリコンから構成するようにしてもよいし、また例えばLDD領域のように低濃度の不純物を添加した多結晶質シリコンから構成するようにしてもよい。またソース側又はドレイン側の少なくとも一方のコンタクト領域と接するチャネル端部のpoly-Si層の結晶粒の面密度又は体積密度を、チャネル領域のpoly-Si層より低くするようにしてもよい。また、チャネル端部のpoly-Si層の結晶粒の面密度又は体積密度を、チャネル領域のpoly-Si層の約1/3以下、より好ましくは1/10以下程度に設定するようにすればよい。

【0033】薄膜トランジスタチャネル領域とコンタクト領域との間にLDD領域が介挿されている場合、このLDD領域のpoly-Si層の平均粒径を、チャネル領域よりも大きくするようにしてもよい。また、LDD領域のpoly-Si層の結晶粒の面密度又は体積密度を、チャネル領域のpoly-Si層の約1/3以下、より好ましくは1/10以下程度に設定するようにしてもよい。

【0034】また、ソース側又はドレイン側の少なくとも一方のコンタクト領域と接するチャネル端部のpoly-Si層のバンドギャップ内準位の密度を、チャネル領域のpoly-Si層より低くなるようにしてもよい。またチャネル端部のpoly-Si層のバンドギャップ内準位の密度を、チャネル領域のpoly-Si層の約1/3以下、より好ましくは1/10以下程度に設定するようにしてもよい。また、LDD領域のpoly-Si層のバンドギャップ内準位の密度を、チャネル領域のpoly-Si層より低くするようにしてもよい。また、LDD領域のpoly-Si層のバンドギャップ内準位の密度を、チャネル部のpoly-Si層の約1/3以下、より好ましくは1/10以下程度に設定するようにしてもよい。

【0035】発明者らは、poly-Siをチャネル半導体膜に用いたpoly-Si TFTの特性と各種プロセス、構造パラメータとの相関関係を調べた。そして、チャネル領域のソース側コンタクト領域と接する領域の平均粒径が、チャネル領域のpoly-Si半導体膜の平均粒径よりも大きな薄膜トランジスタではリーク電流が小さくなることを見出した。

【0036】以下にリーク電流の発生機構について説明する。リーク電流のパスとしては、1)チャネル領域の蓄積ホールとコンタクト層 n^+ の電子とのギャップ準位を介した再結合電流と、2)チャネル領域の蓄積ホールのコンタクト領域 n^+ への拡散電流、とが考えられる。

【0037】どちらの経路がより本質的なリーク電流の

原因であるかを確かめるために、本発明者らはコンタクト領域 n^+ へ添加する不純物濃度を $1 \times 10^{14} \text{ cm}^{-3}$ (通常は $1 \times 10^{21} \text{ cm}^{-3}$ 程度に設定される)に設定した拡散電流が流れやすい構造の薄膜トランジスタを実際に作製し、そのリーク電流の測定を行った。そして、この薄膜トランジスタのリーク電流は通常の薄膜トランジスタと比べて増加していないという結果を得た。この結果から、リーク電流の主要なパスは拡散電流ではなく、ギャップ内準位を経由した再結合電流であると判断できる。すなわちリークは、励起された電子は電界によりドレイン側にドリフトし、ホールはソース側にドリフトし、 n^+ の電子とギャップ準位を介して再結合するものと考えることができる。したがってリーク電流を低減させるためには、リークの原因であるソース領域とチャネル領域との間での poly-Si のバンドギャップ内準位を少なくすればよいことになる。ここで、 poly-Si を半導体膜として用いた poly-Si 薄膜トランジスタでは、耐圧性を向上するため通常LDD構造を採用していることが多い。このようなLDD構造を有する薄膜トランジスタでは、LDD領域の poly-Si 層のバンドギャップ内準位を少なくするようにしてもよい。

【0038】ところで、 poly-Si 層ではバンドギャップ内準位は、結晶粒間に集中して存在しているため、バンドギャップ内準位密度を減少させるということは、結晶粒の間の体積を減少させるということと同じである。すなわち、半導体膜を構成する結晶粒の平均粒径を大きくすれば、また結晶粒の面密度又は体積密度を小さくすれば、バンドギャップ内準位密度を減少させることができる。

【0039】すなわちリーク電流を低減させるためには、ソース領域-チャネル領域間の poly-Si 半導体膜を構成する結晶粒の平均粒径をチャネル領域内よりも大きくすればよいことがわかる。

【0040】このような構成を採用することにより、多結晶質シリコンからなる半導体膜を有する薄膜トランジスタのリーク電流を低減することができる。個々の薄膜トランジスタの構成によっても差はあるが、例えば、チャネル端部での poly-Si の結晶粒の面密度、体積密度、あるいはバンドギャップ内準位密度を約1/3程度にすることにより、薄膜トランジスタのリーク電流を約一桁程度減少させることができる。

【0041】一方、液晶表示装置の画素電極に選択的に表示信号電圧を供給する画素選択用の薄膜トランジスタはその特性を長く保つため、ソース電極、ドレイン電極に引加させる電圧を逆転させて動作させる場合がある。このような場合には、励起された電子とホールは上述の説明とは逆の方向に流れることになるため、ドレイン領域とチャネル領域との間に、チャネル領域よりも平均粒径の大きな領域を形成するようにすればよい。すなわち

ドレイン領域とチャネル領域の間の poly-Si 層のバンドギャップ内準位を、チャネル領域の poly-Si 層より少なく、または結晶粒密度をより低くしてやればよい。

【0042】このように本発明の薄膜トランジスタによれば、チャネル端にチャネル領域よりも結晶粒の平均粒径の大きな領域を配設することにより、リーク電流を低減することができる。このような構成を有する本発明の薄膜トランジスタを、画素選択用スイッチング素子として採用した液晶表示装置を構成することにより、保持特性を向上することができる。したがって均一で再現性の高いすぐれた表示品質を得ることができる。

【0043】さらに本発明の薄膜トランジスタの別の構成について説明する。本発明の薄膜トランジスタは、多結晶質シリコンからなり、チャネル領域と、チャネル領域の両側に配設されたコンタクト領域と、前記チャネル領域と前記コンタクト領域との間の少なくとも一方に配設されたLDD領域とを有する半導体膜と、前記半導体膜の前記第1の領域とゲート絶縁膜を介して対向するように配設されたゲート電極と、前記半導体膜の前記第3の領域と接合したソース・ドレイン電極とを具備し、前記第2の領域または前記第3の領域では、前記第1の領域よりもバンドギャップが大きいことを特徴とする。また、本発明の薄膜トランジスタは、多結晶質シリコンからなり、チャネル領域と、チャネル領域の両側に配設されたコンタクト領域と、前記チャネル領域と前記コンタクト領域との間の少なくとも一方に配設されたLDD領域とを有する半導体膜と、前記半導体膜の前記第1の領域とゲート絶縁膜を介して対向するように配設されたゲート電極と、前記半導体膜の前記第3の領域と接合したソース・ドレイン電極とを具備し、記第3の領域では、不純物としてN、O、C、Clからなる群の少なくとも1種を約 3×10^{20} ~約 $3 \times 10^{21} \text{ cm}^{-3}$ 添加されていることを特徴とする。

【0044】なお、第1の領域のバンドギャップに対して、第2の領域または第3の領域の少なくともいづれか一方のバンドギャップを大きくするようにすればよい。

【0045】また、LDD領域のバンドギャップをチャネル領域より大きくするようにしてもよい。

【0046】このような構成を実現するために、例えば不純物としてN、O、C、Cl、Fを半導体膜のコンタクト領域またはLDD領域に添加して、これらの領域の p-Si のバンドギャップを広げるようにしてもよい。

【0047】TFT-LCDやX線撮像装置等のデバイスでは、TFTのオフ時にはゲート電圧が約3~20V程度の大きな負バイアスで用いられる。このような大きな負バイアスでは、 poly-Si TFTには大きなリーク電流が発生する。従来の単結晶のLSIに用いられていたMOSTランジスタでは、3~20V程度の大きな負バイアスでもpn接合によりキャリアの流れが制限

されるためにほとんど電流が流れず、リーク電流の問題は発生しなかった。poly-Si TFTのリーク電流の原因としてはドレイン領域での価電子帯の電子の伝導帯への直接トンネリングや、トラップ準位を介したトンネリングによる。特に多結晶質シリコンでは、グレイン粒界等によるトラップが多いためにリーク電流が大きくなる。本発明では、チャネル領域と、コンタクト領域あるいはLDD領域との間で半導のバンドギャップを広くすることにより、オフ電流を小さくしている。

【0048】このような構成を採用することにより、これによりオフ電流が減少する。したがってこの薄膜トランジスタを用いて液晶表示装置を構成することにより、表示品質を向上することができる。また本発明によれば、poly-Si TFTのオフ電流を大きく減少させ、安定で良好な特性を実現することができる。

【0049】

【発明の実施の形態】以下に本発明について実施形態をとりあげながらさらに詳細に説明する。

【0050】（実施形態1）図1は本発明の薄膜トランジスタの断面構造の例を概略的に示す図である。なお、ここではn-chの薄膜トランジスタ10Nとp-chの薄膜トランジスタ10Pとを図示している。

【0051】n-ch薄膜トランジスタ10Nは、ガラスなどからなる絶縁性基板11には、例えば酸化シリコン膜(SiO₂)や窒化シリコン膜(Si₃N₄)あるいはこれらの積層膜からなるアンダーコート層(バッファ層)12が形成され、アンダーコート層12上には多結晶質シリコンからなる半導体膜13が形成されている。半導体膜13の膜厚は例えば400nm~800nm程度に設定するようにすればよい。この例では550nmに設定している。半導体膜13は、チャネル領域(第1の領域)13iと、複数のn型不純物としてP(リン)およびAs(ヒ素)が添加されたコンタクト領域(第3の領域)13s、13dと、チャネル領域13iとコンタクト領域13s、13dとの間に挟まれ、n型不純物としてP(リン)が添加されたLDD領域(第2の領域)13Lとを有している。ここではLDD領域13Lは、チャネル領域の両側に配設しているが、どちらか一方の側에만配設するようにしてもよい。またこのLDD領域のLDD長dは約2μm以下、好ましくは約0.5μm以下、より好ましくは約0.1μm以下に設定するようにすればよい。なおこの例ではチャネル領域13iにも、閾値電圧V_{th}を制御するためにB(硼素)がドーパされている。このようなチャネルドーパ必要に応じて行うようにすればよく、またチャネル領域13iをイントリンシックなpoly-Siから構成するようにしてもよい。

【0052】半導体膜13は例えばSi₃N₄からなるゲート絶縁膜14に覆われており、ゲート絶縁膜14を介して半導体膜13のチャネル領域13iと対向するよう

にゲート電極15が形成されている。ゲート電極15は半導体膜のチャネル領域13iおよびLDD領域13Lと対向するように配設されている。またゲート絶縁膜14はSiO₂やSi₃N₄の積層膜から構成するようにしてもよい。

【0053】ゲート電極15の上側からは例えばSiO₂からなる層間絶縁層16が形成され、ゲート絶縁膜14および層間絶縁層16に形成されたコンタクトホールを介して半導体膜13のソース・ドレイン各コンタクト領域13s、13d領域とソース電極17s、ドレイン電極17dとがオーミック接合している。

【0054】なおp-chの薄膜トランジスタ10Pは、多結晶質シリコンからなる半導体膜18を有しており、この半導体膜18は、チャネル領域18iと、p型不純物がヘビードープされたコンタクト領域18s、18dとを有している。LDD構造は備えていない。なお、チャネル領域18iにも、閾値電圧V_{th}を制御するためにP型不純物であるB(硼素)がドーパされている。チャネル領域18iはイントリンシックなpoly-Siから構成するようにしてもよい。

【0055】図2は、例えば図1に例示したような本発明の薄膜トランジスタの半導体膜中のチャネル方向の不純物濃度のプロファイルの例である。このようなプロファイルは例えばTF-SIMSにより測定することができる。図2(a)はドーパントが添加されている半導体膜13を模式的に示している。またこの例では同じ電導型の複数のドーパントとしてPとAsとを選択して用いている。poly-Si半導体膜中のPの拡散係数は、約600℃では約 3×10^{-18} [cm²/sec]程度であり、これに対してAsの拡散係数は約600℃では約 3×10^{-21} [cm²/sec]程度であり、一般にPの拡散係数の方が大きい。したがって、例えばゲート電極15をマスクとして半導体膜13のコンタクト領域13s、13dにPとAsとをイオンドーピング法あるいはイオン注入法などにより添加し、半導体膜13を加熱するとPの方がAsよりも広範な領域まで拡散することになる。このように、添加するドーパントの種類(元素、核種)、ドーパントのドーパ量、加熱温度(活性化温度)、加熱時間等を調節することにより、LDD長dを0.5μm以下、あるいは0.1μm以下に設定することができる。さらにこのような手法で形成したLDD領域13LのLDD長dはチャネル領域13iの両側で極めて均一なものとなる。

【0056】図2(b)のプロファイルでは、ドーパントはPもAsも矩形型に分布しており、一方図2(c)のプロファイルではドーパントはPもAsもガウシアンに分布している。このように本発明の薄膜トランジスタでは、複数のドーパントの分布はガウシアンに限ることなく、矩形型でも、その他の分布でもよい。すなわち本発明の薄膜トランジスタでは、LDD領域に添加される

N型不純物の濃度がコンタクト領域に添加されたN型不純物の濃度よりも低くなっていればよい。またLDD領域に添加されるP型不純物の濃度がコンタクト領域に添加されたP型不純物の濃度よりも低くなっていればよい。このような分布のプロファイルも、ドーパントの種類、加熱温度、加熱時間等を選択、調節することにより必要に応じて調節するようにすればよい。

【0057】このような構成を採用することにより、本発明の薄膜トランジスタは、poly-Si薄膜トランジスタの課題であったリーク電流を低減することができる。そして、本発明の薄膜トランジスタでは、LDD長を短くすることができるため抵抗が高くなってしまうことはない。したがってキャリアの移動度が低下することもなく、優れたスイッチング特性を実現することができる。さらにLDD長が短いので薄膜トランジスタのサイズがコンパクトになる。本発明の薄膜トランジスタを集積して各種の回路を構成することにより回路のサイズを小さくし、集積化度を向上することができる。

【0058】（実施形態2）つぎに本発明の薄膜トランジスタの製造方法の例について説明する。図3、図4は本発明の薄膜トランジスタの製造工程を説明するための図であり、主要な工程における薄膜トランジスタの断面構造を概略的に示したものである。例えば薄膜トランジスタ10nのようなLDD構造は、例えば以下のような工程により形成される。まず、例えばガラス、石英等からなる透光性の縁性基板11上にPE（プラズマエッチング）CVD法等によりバッファ層12となるSiNx膜、SiOx膜をそれぞれ約50nm、約100nmの膜厚で成膜する。ついでCVD法等によりa-Si:H（水素添加したa-Si）からなるa-Si半導体膜13aを厚さ約55nm成膜し、炉アニールを行った。半導体膜13aにはB（ホウ素）等の不純物をドーピングして成膜するようにしてもよい。

【0059】その後、例えばXeClエキシマレーザを用いたELA法によりa-Si半導体膜13aを熔融再結晶化させてpoly-Siからなる多結晶質の半導体膜13を形成した。

【0060】この後、フォトリソグラフィプロセス等によりpoly-Si半導体膜13のパターニング、エッチングを行い、あらかじめ定められた形状に成形する（図3（a））。そしてpoly-Si半導体膜13にレジストをマスクとして、P型、N型それぞれにVth制御用のB（ボロン）又はP（リン）を注入又はプラズマドーピングする。

【0061】次に、パターニング、チャンネルドーピングした半導体膜13の上側から、CVD法などによりSiOxからなる膜厚約100nmのゲート絶縁膜14を成膜する（図3（b））。

【0062】続いて、例えば厚さ約400nmのMoW

ト電極15に成形する。このときN型薄膜トランジスタ10Nはチャンネル長（チャンネル領域とLDD領域とに対応する）に、P型薄膜トランジスタ10Pは半導体膜18全体を覆うように形成する。

【0063】次に、ゲート電極15をマスクとし自己整合的にソース領域13sとドレイン領域13dとに、例えばイオンドーピング法によりPを低濃度（例えばドーピング量約 $2 \times 10^{17} \sim 2 \times 10^{18} / \text{cm}^3$ 程度）ドーピングし、次いで、As（ヒ素）を高濃度（例えばドーピング量約 $1 \times 10^{19} \sim 1 \times 10^{20} / \text{cm}^3$ 程度）ドーピングする（図3（d））。イオンドーピングの条件としては例えば加速電圧は約65～70keVとした。イオンドーピングするドーパントの原料ガスとしてはPの場合はPH₃を希ガスで希釈したガスを用いた。またAsの場合はAsH₃を希ガスで希釈したガスを用いた。

【0064】なお薄膜トランジスタ10Pの半導体膜に対する不純物の添加工程は、例えばPH₃／希ガスの代わりにB₂H₆／H₂、B₂H₆／希ガスを用いて、加速電圧約50kV、ドーピング量約 $1 \times 10^{16} \text{cm}^{-2}$ 程度でイオンドーピングを行った。これによりp-chTFTが形成された。

【0065】そして半導体膜13のコンタクト領域13s、13dに添加した不純物を熱により活性化させると、AsよりもPの方が拡散係数が大きいので、Pが選択的にゲート電極15の下部まで拡散し、低濃度領域であるLDD領域13Lを形成する。これにより、半導体膜13の端部からゲート電極15端部までドーピング量約 $1 \times 10^{19} / \text{cm}^3$ 程度のn⁺のコンタクト領域13s、13dと、ゲート電極15の下側にまで延びたドーピング量約 $1 \times 10^{18} / \text{cm}^3$ 程度のn⁻のLDD領域13Lの2層の領域が形成される。

【0066】このような不純物の活性化は例えばレーザーアニールにより行い、不純物を拡散させるようにしてもよい。また、n⁻ドーピングとn⁺のドーピング後、それぞれ拡散させるようにしてもよい。例えば、まずn⁻ドーピングをした後、poly-Si半導体膜が熔融する程度の比較的高いエネルギーでELA照射を行い、不純物をpoly-Siをメルトにした状態で不純物の拡散を行う。そしてこの後n⁺をドーピングし、今度はpoly-Siが熔融しないような比較的低いエネルギーでELA照射を行いpoly-Siが固相の状態で不純物の拡散を行うようにしてもよい。

【0067】次に、P型薄膜トランジスタ10Pのゲート電極15をチャンネル長にパターニングし、N型はレジストでマスクする。P型もN型と同様にBを低濃度ドーピングし、次いで、Gaを高濃度ドーピングするようにしてもよい。レジストは剥離し、ドーピングした不純物を熱により活性化させると、Bの方が拡散係数が大きいので、Bのみが選択的にゲート電極15の下部まで拡散して低濃度のLDD領域を形成することができ、これにより、半導

体膜18のゲート端まで形成された $1 \times 10^{20} / \text{cm}^3$ 程度の P^+ 領域と、半導体膜18のチャネル下部まで延びた $1 \times 10^{18} / \text{cm}^3$ 程度の P^- 領域の2層の領域を形成することができる。不純物の拡散はN型薄膜トランジスタと同様に行うようにすればよい。また、活性化をレーザーアニールにより行って不純物を拡散させてもよい。さらにまた、 p^- ドーパと p^+ ドーパ後、それぞれ拡散させるようにしてもよい。

【0068】この後レジスト等の剥離を行い、さらに、APCVD法等によりシリコン窒化膜乃至シリコン酸化膜からなる層間絶縁膜16を400nm程度被着する。

【0069】この後、フォトリソグラフィプロセスにより、層間絶縁膜16をRIEによりエッチングし、続いて連続的にCDE処理により層間絶縁膜16のコンタクト領域13s、13d領域に対応する部分に開口部を設ける。

【0070】この後に、例えばAl、Moなどの導電性材料をスパッタリング法などにより成膜し、フォトリソグラフィプロセス等によりパターンニングしてソース電極17s、ドレイン電極17dを形成する(図4(g))。ここではMo/Al/Moの積層膜を形成した。

【0071】以上のような工程によりn-ch(p-ch)のコプラナ型薄膜トランジスタが完成する。なお液晶表示装置のアレイ基板を形成するには、例えば層間絶縁膜16を成膜した後、ITOなどにより画素電極を形成し、この後薄膜トランジスタのソース電極17sを画素電極と接続するように形成すればよい。マスクによるLDD構造やオフセット構造ではマスク合わせマージンのためLDD長を $2 \mu\text{m}$ 以下にはできず、またマスク合わせずれにより、チャネルの両側でLDD長が異なったりする。本発明の薄膜トランジスタの製造方法によれば、自己整合的に低濃度のLDD領域を形成することができ、しかもLDD長を $0.5 \mu\text{m}$ 以下、さらには $0.1 \mu\text{m}$ 以下と短くすることができる。したがって、移動度の減少もなく、オフ電流を減少させることができる。

【0072】c-SiのMOSLSIにおいては、ホットエレクトロン防止のために2重拡散を用いており、かつ不純物分布がガウシアンであることが効果の基本であるが、前述のように本発明の薄膜トランジスタでは、この n^-/n^+ 、 p^-/p^+ の二重拡散の領域の不純物分布はガウシアンに限ることはない。また、図1のようなトップゲート型の薄膜トランジスタの構造では、ゲート電極15とソース・ドレイン電極17s、17dは重なっていないので負荷容量の増加は少ない。

【0073】このように本発明の薄膜トランジスタの製造方法によれば、均一な特性を有し、かつコンパクトな薄膜トランジスタを高い生産性で製造することができる。また、ソース・ドレイン領域に拡散係数の異なる同型のドーパントをドーパして拡散させることにより、薄

膜トランジスタのチャネル端部に低濃度領域(n^- 領域)を形成することができる。またマスクずれ等の心配もなく、LDD長を短くすることができるので、キャリアの移動度が減少してしまうこともない。

【0074】(実施形態3)図5は本発明の薄膜トランジスタの $V_g - I_d$ 特性を示すグラフである。

【0075】本発明の薄膜トランジスタの $V_g - I_d$ 特性のプロファイル(A)の他に、比較のため従来のマスク合わせLDD構造の薄膜トランジスタの $V_g - I_d$ 特性のプロファイル(B)、LDD構造を備えない薄膜トランジスタの $V_g - I_d$ 特性のプロファイル(C)も示している。

【0076】LDD領域のない薄膜トランジスタはオフ電流が大きいたことがわかる。またマスク合わせLDD構造では、オフ電流は下がっても、オン電流も小さくなり、移動度が小さくなっていることがわかる。これ以上オフ電流を下げるには、LDD濃度を下げなければならないが、これに伴ってオン電流も減少してしまう。これに対して本発明の薄膜トランジスタでは、オフ電流が十分低減されており、かつ、移動度は低下していない。したがって、オン電流を減少させることなく、リーク電流を低減することができる。

【0077】このようにゲート電極15の裏面側にも n^- 領域を形成することにより、リーク電流を低下することができた。これは、poly-Si半導体膜のリーク電流は、欠陥準位を介したトンネリング電流の寄与が大きいが、 n^- 領域を形成することによりチャネルの p^+ 反転領域がソース又はドレイン電極の n^+ と接近することを妨げ、トンネリング距離を長くしてトンネリング電流の増加を防止することができるためである。チャネルに形成された p^+ 領域のホール濃度が n^- 濃度より大幅に大きくなるとこの効果は減少すると考えられるが、実際の動作領域ではこれほど高濃度のホールが形成される領域で使用されることはほとんどない。また、 n^- 領域を付加しても電子のアキュムレーションには影響しないので、オン電流は減少しない。すなわち、オフ電流のみを下げるができる。

【0078】また、高濃度のコンタクト領域と低濃度のLDD領域での不純物の組み合わせは、 n^+/n^- ではAs/Pの他にP/N、As/Nでも良く、 p^+/p^- ではGa/Bの他にB/Al、Ga/Al等の組み合わせでもよい。

【0079】また前述した本発明の2重拡散構造を、例えばライトドーパでPを低濃度でイオンドーパし、その後ELA等の高エネルギーにより十分加熱してゲート電極下部まで溶融させることにより、ゲート電極下部の溶融端まで液体状態で拡散させたり、又は十分高温に加熱して拡散距離を大きくし、次に同じPを高濃度でイオンドーパし、ELAは低エネルギーで拡散距離を小さくして2重ドーパするようにしてもよい。同様に P^+ と P^-

領域を形成するようにしてもよい。この場合の半導体膜中の不純物の分布のプロファイルは階段状であり、ガウシアンとは異なるがオフ電流は低減することを確認した。

【0080】また上述では、低濃度のLDD領域は、ソース側、ドレイン側の双方のチャネル端部に設けた場合について説明したが、ソース側、ドレイン側のいずれか一方のみに設けるようにしてもよい。より確実にオフ電流を減少させるには双方に設けた方がよい。

【0081】上述の方法で製造した本発明のpoly-Si薄膜トランジスタを用いてアクティブマトリクス型液晶表示装置の、表示領域の画素選択回路、表示領域周辺の駆動回路、信号処理回路を構成したところ、オフ電流が低下し、画素回路の電圧保持特性を改善することができた。したがって表示品質を向上することができた。また、周辺回路の回路特性を改善し、消費電力を低減することができた。

【0082】(実施形態4) つぎにチャネル端部にチャネル領域よりもシリコン結晶の平均粒径の大きな領域を備えた本発明の薄膜トランジスタについて説明する。

【0083】図6は本発明の薄膜トランジスタの断面構造の例を概略的に示す図である。この薄膜トランジスタは、ガラスなどからなる絶縁性基板11には、窒化シリコン膜(SiNx)12aおよび酸化シリコン膜(SiOx)12bからなるアンダーコート層(バッファ層)12が形成され、アンダーコート層12上には多結晶質シリコンからなる半導体膜21が形成されている。

【0084】半導体膜21は、チャネル領域(第1の領域)21iと、複数のn型不純物としてP(リン)添加されたコンタクト領域(第3の領域)21s、21dと、チャネル領域21iとコンタクト領域21s、21dとの間に挟まれた領域21b(第2の領域)とを有している。そしてこの薄膜トランジスタでは、領域21bを構成するシリコン結晶の粒子の平均粒径は、チャネル領域21iを構成するシリコン結晶の粒子の平均粒径よりも大きくなっている。なお、この例では領域21bは、低濃度不純物をドーパしたLDD領域としているが、この領域21はイントリンシックでもよい。また領域21bはチャネル領域21iの両側に配設しているが、どちらか一方の側にのみ配設するようにしてもよい。

【0085】なお、チャネル領域21iにも、閾値電圧 V_{th} を制御するためにP(リン)がドーパされている。チャネル領域21iはイントリンシックなpoly-Siから構成するようにしてもよい。

【0086】半導体膜21は例えばSiNxからなるゲート絶縁膜14に覆われており、ゲート絶縁膜14を介して半導体膜21のチャネル領域21iと対向するようにゲート電極15が形成されている。ゲート電極15は少なくとも半導体膜のチャネル領域21iと対向するよ

うに配設されている。またゲート絶縁膜14はSiOxやSiNxの積層膜から構成するようにしてもよい。

【0087】ゲート電極15の上側からは例えばSiOxからなる層間絶縁層16が形成され、ゲート絶縁膜14および層間絶縁層16に形成されたコンタクトホールを介して半導体膜21のソース・ドレイン各コンタクト領域21s、21d領域とソース電極17s、ドレイン電極17dとがオーミック接合している。

【0088】図7は本発明の薄膜トランジスタが備える半導体膜21のSEM像のスケッチである。この図は半導体膜21のチャネル領域21iと領域21bの境界部のSEM像をもとにスケッチしたものである。図中スケールバーは0.1 μ mである。

【0089】この図からわかるように、本発明の薄膜トランジスタでは、領域21bを構成するシリコン結晶の粒子の平均粒径は、チャネル領域21iを構成するシリコン結晶の粒子の平均粒径よりも大きくなっている。図8は本発明の薄膜トランジスタが備える半導体膜21の別のSEM像のスケッチである。この図も半導体膜21のチャネル領域21iと領域21bの境界部のSEM像をもとにスケッチしたものである。図中スケールバーは0.60 μ mである。

【0090】この図からもわかるように、本発明の薄膜トランジスタでは、領域21bを構成するシリコン結晶の粒子の平均粒径は、チャネル領域21iを構成するシリコン結晶の粒子の平均粒径よりも大きくなっている。

【0091】このような構成を採用することにより、領域21bでは半導体膜中に占める結晶粒界の割合がチャネル領域21iよりも小さくなる。結晶粒界は結晶性がわるくトラップ密度が大きい。したがって、領域21bのトラップ密度はチャネル領域のトラップ密度よりも小さくなる。このため前述したように、領域21bのバンドギャップ内準位密度はチャネル領域21iよりも小さくなり、リーク電流を低減することができる。

【0092】ここで図6に例示した本発明の薄膜トランジスタの製造方法の例について概略的に説明する。まず、ガラス基板11上にSiNx膜12a/SiO₂12bのアンダーコート層を成膜し、このアンダーコート層上にアモルファスSi(a-Si)半導体膜21aを約55nmの膜厚で形成する。

【0093】次にa-Si半導体膜21aをELA照射で瞬時溶融、再結晶化してpoly-Si半導体膜21を形成する。続いてpoly-Si膜21を島状にパターニングする。次にSiO₂からなるゲート絶縁膜14を成膜する。

【0094】ゲート絶縁膜14上にMoWをスパッタ法などにより堆積し、パターニングしてゲート電極15を形成する。

【0095】次にゲート電極15及びレジストをマスクとしてP(リン)を高濃度ドーパしてソース側、ドレイ

ン側にそれぞれ n^+ コンタクト領域21s、21dを形成する。

【0096】次にレジストを除去した後に、ゲートを再度パターンニングしてチャネル領域21bのみと対向するように形成する。このゲート電極15をマスクとしてLDD用の n^- の領域21bを形成する。

【0097】そしてLDD用の領域21bに、例えば追加のELA照射を行い、この領域21bでのpoly-Si半導体膜の結晶性を高める。この時、ELA照射の回数等により領域21bでの結晶性は変化するが、1回照射するとpoly-Si半導体膜中での結晶粒密度は、追加のELAが照射されていないゲート電極直下のチャネル領域21iと比べると約1/3倍～約1/10倍に低くすることができる(図7参照)。

【0098】前述のように図7は多結晶化した後の追加のELA照射により、結晶粒密度が減少した部分(領域21b)と元のままの部分(チャネル領域21i)の境界領域のSEM写真を元にしたスケッチであるが、確かに追加のELA照射を行った領域21b側の結晶粒密度が、余分に照射されていないチャネル領域21i側の方と比べておよそ1/3に減少していることがわかる。

【0099】したがって、この領域21bでのpoly-Siのバンドギャップ内準位はその両側より減少していることになる。

【0100】図8は、図7に示したチャネル領域21iと領域21bの2つの領域でのDOS分布(Density of State)の例を示す。図8(a)がチャネル領域21iのDOS分布であり、図8(b)が領域21bのDOS分布である。図8からもELA照射を余分にして平均粒径が大きくなった(結晶粒密度が減少した)領域21bの方が、平均粒径が小さい(結晶粒密度が減少していない)チャネル領域21iに比べて、DOS自体もおよそ1/3に減っていることがわかる。

【0101】領域21bにこの余分なELA照射を行う時、ELA照射光に意図的にエネルギー分布を持たせ、ELA照射で融解したSiメルトを、融解していないゲート電極15直下のpoly-Si壁から結晶成長するようにさせてもよい。この例の様なELA照射の最適化を図ることにより、poly-Si半導体膜の領域21b平均粒径または結晶粒密度は、ゲート電極直下のチャネル領域21iと比べるとおよそ1/10倍まで低くすることができる。

【0102】ELA照射後、ソース電極17s、ドレイン電極17dのみを開口したレジスト等をマスクとしてPを $1 \times 10^{-19} \text{ cm}^{-3}$ イオンドーピングする。次に、 SiO_2 からなる層間絶縁膜16を形成し、その後に、ソース・ドレインのコンタクト部の層間絶縁膜16に穴を開ける。次にMo/A1/Moの積層膜によりソース電極17s、ドレイン電極17dを形成する。

【0103】図9に、この様に作成した本発明の薄膜ト

ランジスタの $V_g - I_d$ 特性の1例を示す。チャネル領域21iの、ソース近傍及びドレイン近傍のコンタクト領域21s、21dと接する部分の近傍のみ追加のELA照射を行うことにより結晶性を高め、バンドギャップ内準位の密度が低いpoly-Si層で構成することにより、負ゲート電圧でのオフリーク電流は約 $1 \times 10^{-10} \text{ A/cm}^2$ から1桁程度低減されていることが分かる。また、ソース近傍及びドレイン近傍のコンタクト領域とチャネル領域の間のpoly-Si層でのバンドギャップ内準位の密度をチャネル領域でのバンドギャップ内準位の密度、もしくは結晶粒の面密度又は体積密度を約1/10以下にすれば、このリーク電流の低減効果はより大きなものとなる。

【0104】図10は本発明の薄膜トランジスタの $V_g - I_d$ 特性の例を示すグラフである。チャネル領域21iと領域21bとでpoly-Si半導体膜中のトラップ密度がほぼ同じ場合(平均粒径がほぼ等しい場合)の特性を点線で、トラップ密度を約1/3にした場合(領域21bの平均粒径を大きくした場合)の特性を実線で示している。図11はpoly-Si半導体膜中のエネルギーレベルとトラップ密度との関係を示すグラフである。図10と同様に、チャネル領域21iと領域21bとでpoly-Si半導体膜中のトラップ密度がほぼ同じ場合(平均粒径がほぼ等しい場合)の特性を点線で、トラップ密度を約1/3にした場合(領域21bの平均粒径を大きくした場合)の特性を実線で示している。なお図中0.00eVはバンドギャップ中央のエネルギーレベルに対応し、0.57eV近傍はSiの伝導帯のバンド端に対応している。

【0105】この図からも領域21bの平均粒径を大きくしたほうがリーク電流が低減することがわかる。例えばp-ch薄膜トランジスタの場合、電流の担い手は正孔であるが、 V_g の絶対値が小さい場合、または逆バイアスしている場合、少数キャリアである電子の量も無視することはできない。本発明の薄膜トランジスタでは、 V_g の絶対値が小さい場合、または逆バイアスしている場合でもリーク電流を低減することができる。

【0106】図12は、poly-Si半導体膜を構成する結晶の平均粒径と、リーク電流 I_{off} との関係を示すグラフである。チャネル領域21iでの平均粒径に対して領域21bでの平均粒径を大きくすれば、グラフの傾きは実線から点線のように大きくなっていく。これは結晶の平均粒径が大きくなるにしたがい、半導体膜中に結晶粒界が占める割合が小さくなっていくためである。このように、領域21bの結晶性を向上することによりリーク電流をより効果的に低減することができる。

【0107】本発明により製造したpoly-Si TFTを画素部の制御に用いたTFT-LCDでは、表示部の裏にバックライトと呼ばれる強い光源が存在している透過型であってもリーク電流の発生が抑制されているた

め、均一な画面で再現性の良い画像が得られた。

【0108】なおここでは、poly-Si半導体膜を構成するシリコン結晶の粒子の平均粒径がチャネル領域21よりも大きな領域をLDD領域とした例について説明したが、この領域21bはイントリンシックな領域として構成してもよい。またコンタクト領域21s、21dの平均粒径は領域21bよりも大きいてもよいし、小さくてもよい。

【0109】(実施形態5) つぎに、チャネル領域のバンドギャップを、LDD領域あるいはコンタクト領域よりも大きくした構成を有する本発明の薄膜トランジスタについて説明する。図13は本発明の薄膜トランジスタの別の例を概略的に示す図である。ガラス基板11上にSiNx膜50nm/SiO₂100nmからなるアンダーコート層12、及びa-Si半導体膜31aを約55nmの膜厚で形成する。次にELAでa-Si半導体膜31aを多結晶化してpoly-Si31を形成する。

【0110】次にpoly-Si半導体膜41、31を島状パターンに形成した後、レジストをマスクとしてVth制御用のB又はPをそれぞれ注入又はプラズマドーピングする。

【0111】次にSiO₂ からなるゲート絶縁膜14を成膜する。そしてゲート絶縁膜14上にMoWをマグネトロンDCスパッタ法等により成膜しゲート電極15にパターニングする。

【0112】つづいてゲート電極15あるいはレジストをマスクとしてP⁻のLDD領域41Lと、Bを高濃度ドーピングしたp⁺のコンタクト領域41s、41d領域を形成する。

【0113】次にレジストを除去した後に、MoWでゲートを形成する。次に、MoW又はレジストをマスクとしてn⁻のLDDの領域31Lを形成する。そして、LDD領域にCを約 $1 \times 10^{21} \text{ cm}^{-3}$ 注入する。これによりLDD部のpoly-Siのバンドギャップを0.05eV広げることができる。

【0114】次にソース・ドレイン電極部のみを開口したレジスト等をマスクとしてPを $1 \times 10^{19} \text{ cm}^{-3}$ イオンドーピングしてn⁺のコンタクト領域31s、31dを形成する。

【0115】その後SiO₂ からなる層間絶縁膜16を形成した後、ITOで画素電極19を形成し、ソース・ドレインコンタクト部の層間絶縁膜16に穴を開ける。

【0116】その後Mo/A1/Moの積層膜によりソース電極17s、ドレイン電極17d、および図示しない信号線を形成する。

【0117】図14はこのように作成した本発明のpoly-Si TFTのバンドギャップと負ゲートバイアスでのオフリーク電流との関係を示すグラフである。

【0118】CとSiとによる混晶形成により、LDD

領域でのバンドギャップが約1.10eVから1.15eVに増大する、これによりオフ時のリーク電流を約 1×10^{-13} から約 2×10^{-14} Aと1桁程度低減することができた。これは、SiCではバンドギャップが3.33eVであり、Cを 1×10^{21} 添加することにより0.05eVバンドギャップを増加することができるためである。

【0119】またSiO₂ ではバンドギャップが9eVであり、Siのバンドギャップを0.05eVだけ増大させるには $3 \times 10^{20} / \text{cm}^3$ だけOを添加することが必要である。またSi₃N₄ ではバンドギャップが5eVであり、Siのバンドギャップを0.05eVだけ増大させるには $6 \times 10^{20} / \text{cm}^3$ だけNを添加することが必要である。

【0120】なお、poly-Si半導体膜のバンドギャップは顕微鏡を用いた透過率の測定により決定し、不純物濃度はFEオーグジュにより決定した。

【0121】(実施形態6) つぎに、同様なプロセスで今度はLDD領域31Lではなくソース・ドレイン領域31s、31dにN(窒素)を約 $1 \times 10^{19} \text{ cm}^{-3}$ イオン注入し、バンドギャップを広げた。

【0122】これによりバンドギャップが約1.1eVから1.2eVに増大した。図15はこのときの本発明のpoly-Si TFTのバンドギャップと負ゲートバイアスでのオフリーク電流との関係を示すグラフである。このようにリーク電流は 1×10^{-9} Aから 1×10^{-10} Aに低下することができた。

【0123】なお、p-ch MOSの場合にはソース・ドレインにB又はAlとCをイオン注入法あるいはイオンドーピング法により添加するようにすればよい。n-chの場合にはPの他にAs、Sbを用いるようにしてもよい。

【0124】なお、LDD領域又はソース・ドレイン領域の抵抗率を、バンドギャップを広げないpoly-Si半導体膜の場合と同じにすることにより、TFTのオン電流は同様の値とすることができた。

【0125】バンドギャップの増大は、例えばCの注入量を増加させることにより実現できた。注入原子としてCの他にN、Cl、F、O、Hにより同様のバンドギャップを大きくすることができた。リーク電流を1/2桁低下させるためには不純物を $3 \times 10^{20} \text{ cm}^{-3}$ 以上添加することが必要である。また0.5eV添加すれば約5桁トンネルによるリーク電流を低減することができ、十分良好な特性を得ることができる。余り多量に添加するとSiの結晶構造が大きく歪んで(ずれて)薄膜トランジスタの特性が劣化し、また他のリーク機構が支配的となり有効でなくなる。この濃度は例えばOでは $3 \times 10^{21} \text{ cm}^{-3}$ 、Cでは $6 \times 10^{21} \text{ cm}^{-3}$ 、Nでは $1 \times 10^{22} \text{ cm}^{-3}$ となる。

【0126】本発明により製造したP-Si TFTを用

いてTFT-LCD用TFTアレイ周辺の駆動回路、及び信号処理回路を製造することによりオフ電流を低下させ、画素回路の電圧保持特性を改善することにより画質を改善できた。また、周辺回路の回路特性を改善し、消費電力を低減することができた。

【0127】また本発明の薄膜トランジスタをX線撮像装置の駆動用TFTとして使用するようにしてもよい。図17は本発明の薄膜トランジスタを用いて構成したX線撮像装置の等価回路の例を示す図である。この撮像装置は、光電変換素子をマトリクス状に配設し、各画素ごとに受光した光を電荷として蓄積するものである。各画素に蓄積された電荷は、走査線Gにより薄膜トランジスタSWをオンにして信号線Sに読みだし、センスアンプによりゲインして信号出力する。本発明は画素選択用の薄膜トランジスタSWに限らず、いずれの薄膜トランジスタに適用しても有効である。このようなX線撮像装置に本発明の薄膜トランジスタを適用することにより、出力信号のノイズを低減することができた。

【0128】

【発明の効果】以上説明したように、複数のドーパントを半導体膜に添加し、拡散係数の差によりゲート電極の下側にLDD領域を配設することにより、LDD長が均一で、しかも短い薄膜トランジスタを、高い生産性で製造することができる。またチャネル長を短くすることができるので、高い移動度を保つことができる。このような構成を有する本発明の薄膜トランジスタを例えば液晶表示装置の画素領域に配設することにより、表示品質を向上するとともに生産性も高めることができる。また本発明の薄膜トランジスタの製造方法は、均一な特性を有し、かつコンパクトな薄膜トランジスタを高い生産性で製造することができる。また、ソース・ドレイン領域に拡散係数の異なる同型のドーパントをドーピングして拡散させることにより、薄膜トランジスタのチャネル端部に低濃度領域(n^- 領域)を形成することができる。またマスクずれ等の心配もなく、LDD長を短くすることができるので、キャリアの移動度が減少してしまうこともない。

【0129】また本発明の薄膜トランジスタは、チャネル端にチャネル領域よりも結晶粒の平均粒径の大きな領域を配設することにより、リーク電流を低減することができる。このような構成を有する本発明の薄膜トランジスタを、画素選択用スイッチング素子として採用した液晶表示装置を構成することにより、保持特性を向上することができる。したがって均一で再現性の高いすぐれた表示品質を得ることができる。

【0130】さらに本発明の薄膜トランジスタは、チャネル領域のバンドギャップに対して、LDD領域またはコンタクト領域の少なくともいずれか一方のバンドギャップを大きくすることにより、オフ電流を大きく低減することができる。また本発明の薄膜トランジスタを撮像

装置の画素回路に適用することにより、画像信号のノイズを低減することができる。したがって感度が高く、信頼性の高い画像を撮影することができる。

【図面の簡単な説明】

【図1】本発明の薄膜トランジスタの断面構造の例を概略的に示す図。

【図2】図1に例示したような本発明の薄膜トランジスタの半導体膜中のチャネル方向の不純物濃度のプロファイルの例。

【図3】本発明の薄膜トランジスタの製造工程を説明するための図。

【図4】本発明の薄膜トランジスタの製造工程を説明するための図。

【図5】本発明の薄膜トランジスタの $V_g - I_d$ 特性を示すグラフ。

【図6】本発明の薄膜トランジスタの断面構造の例を概略的に示す図。

【図7】本発明の薄膜トランジスタが備える半導体膜のSEM像のスケッチ。

【図8】チャネル領域21iと領域21bでのDOS分布。

【図9】本発明の薄膜トランジスタの $V_g - I_d$ 特性の1例を示すグラフ。

【図10】本発明の薄膜トランジスタの $V_g - I_d$ 特性の例を示すグラフ。

【図11】 poly-Si 半導体膜中のエネルギー密度とトラップ密度との関係を示すグラフ。

【図12】 poly-Si 半導体膜を構成する結晶の平均粒径と、リーク電流 I_{off} との関係を示すグラフ。

【図13】本発明の薄膜トランジスタの別の例を概略的に示す図。

【図14】本発明の poly-Si TFT のバンドギャップと負ゲートバイアスでのオフリーク電流との関係を示すグラフ。

【図15】本発明の poly-Si TFT のバンドギャップと負ゲートバイアスでのオフリーク電流との関係を示すグラフ。

【図16】従来のLDD構造の薄膜トランジスタの断面構造の例を示す図。

【図17】本発明の薄膜トランジスタを用いて構成したX線撮像装置の等価回路の例を示す図。

【図18】本発明の薄膜トランジスタが備える半導体膜のSEM像のスケッチ。

【符号の説明】

10N..... $n\text{-ch}$ 薄膜トランジスタ

10P..... $p\text{-ch}$ 薄膜トランジスタ

11.....絶縁性基板

12.....アンダーコート層

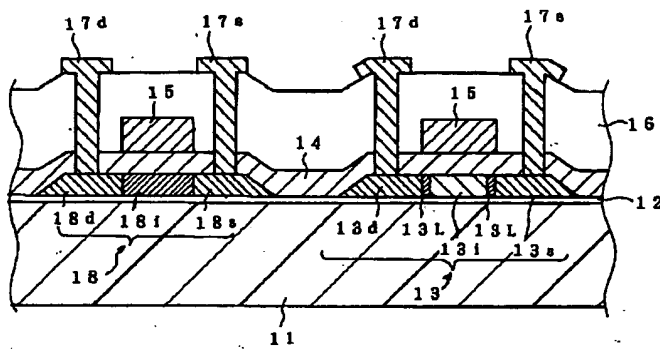
12a..... SiNx

12b..... SiOx

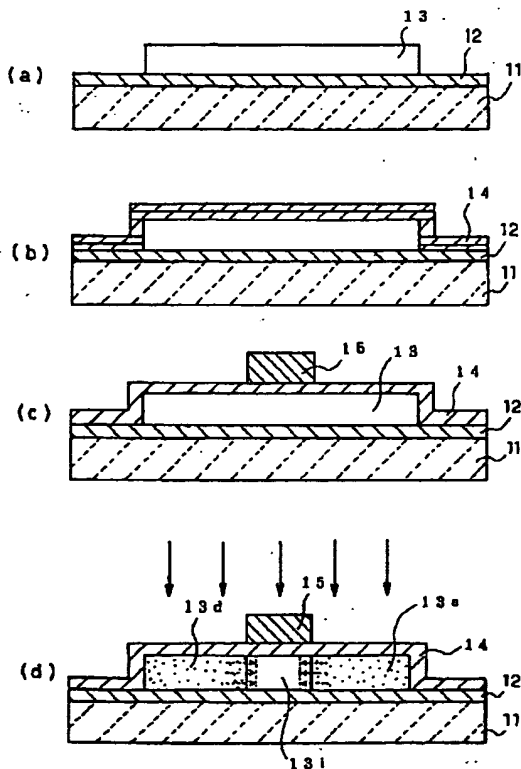
13.....poly-Si半導体膜
 13i.....チャネル領域
 13L.....LDD領域
 13s.....コンタクト領域(ソース)
 13d.....コンタクト領域(ドレイン)
 14.....ゲート絶縁膜
 15.....ゲート電極
 16.....層間絶縁膜
 17s.....ソース電極
 17d.....ドレイン電極

18.....poly-Si半導体膜
 18i.....チャネル領域
 18s.....コンタクト領域(ソース)
 18d.....コンタクト領域(ドレイン)
 21.....poly-Si半導体膜
 21i.....チャネル領域
 21b.....平均粒径の大きな領域
 21s.....コンタクト領域(ソース)
 21d.....コンタクト領域(ドレイン)
 22.....画素電極

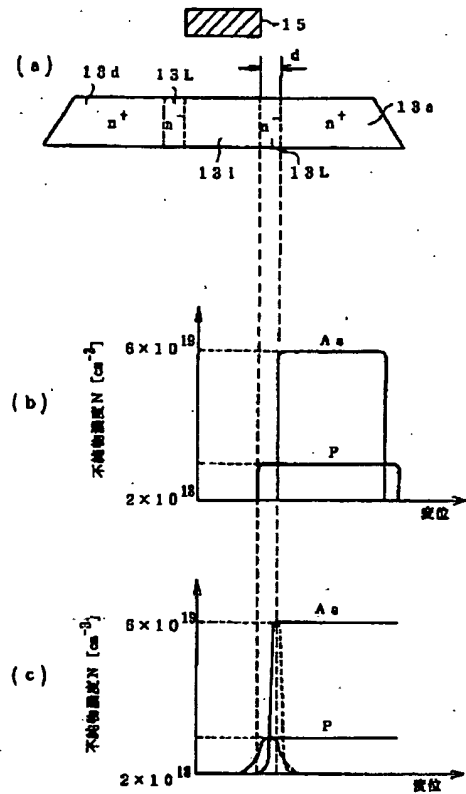
【図1】



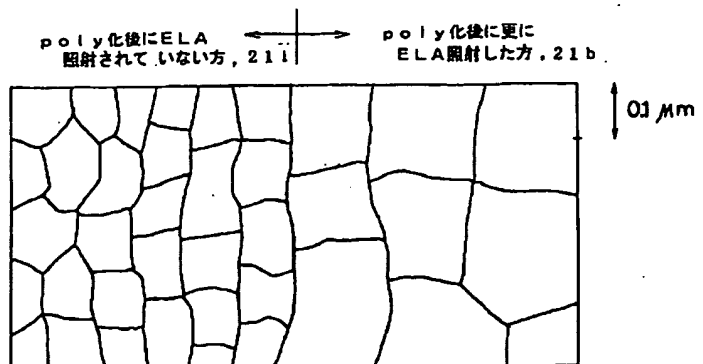
【図3】



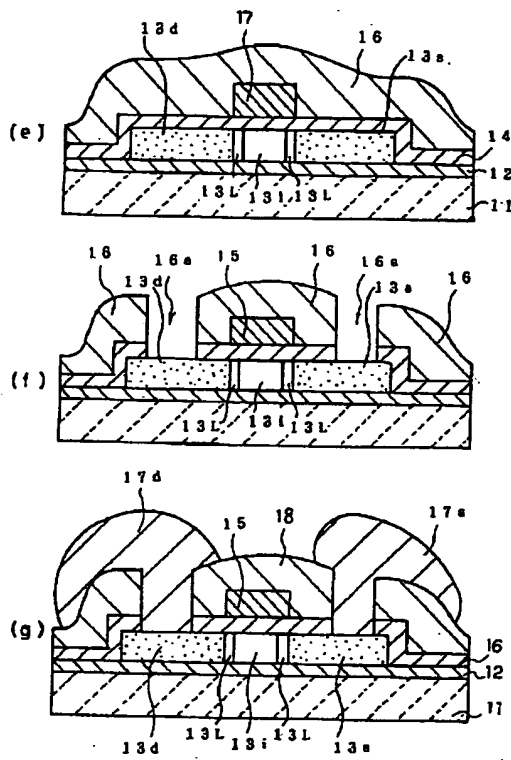
【図2】



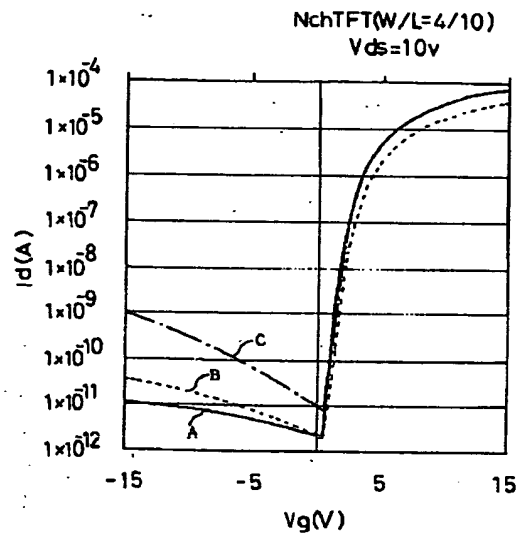
【図7】



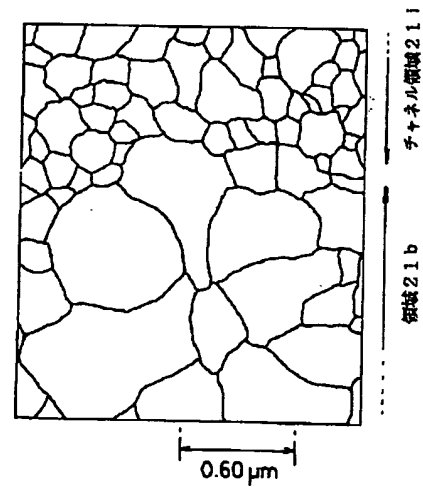
【図4】



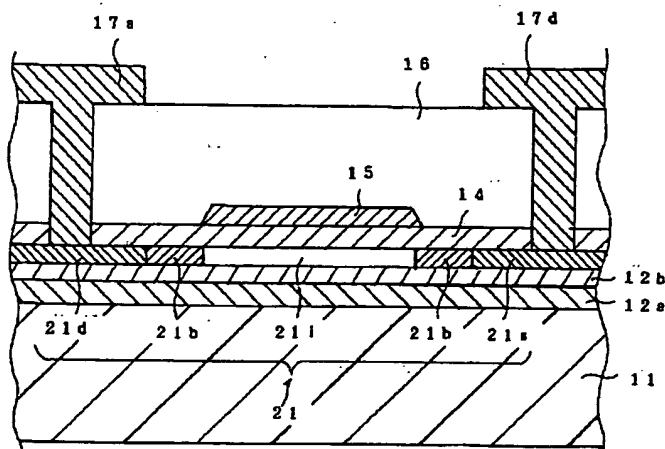
【図5】



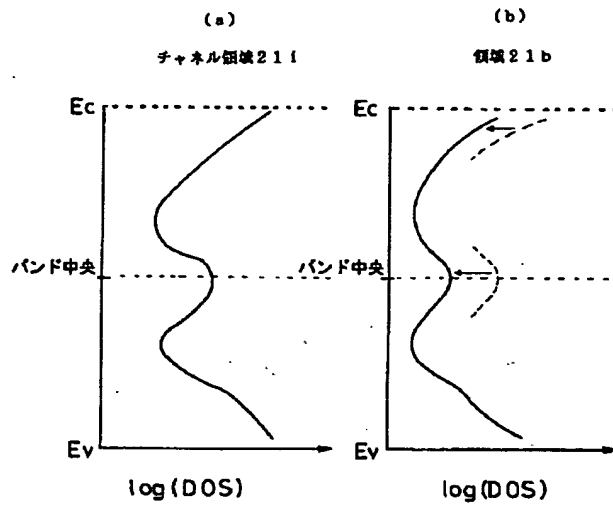
【図18】



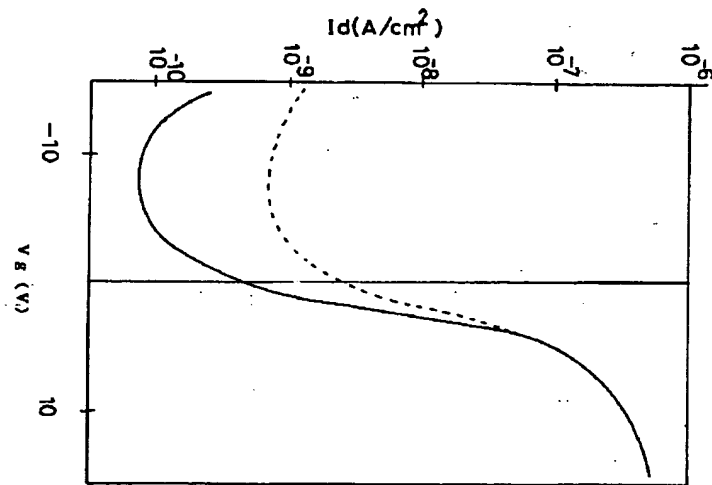
【図6】



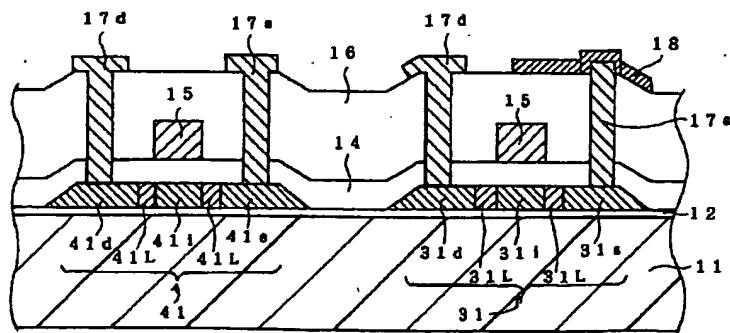
【図8】



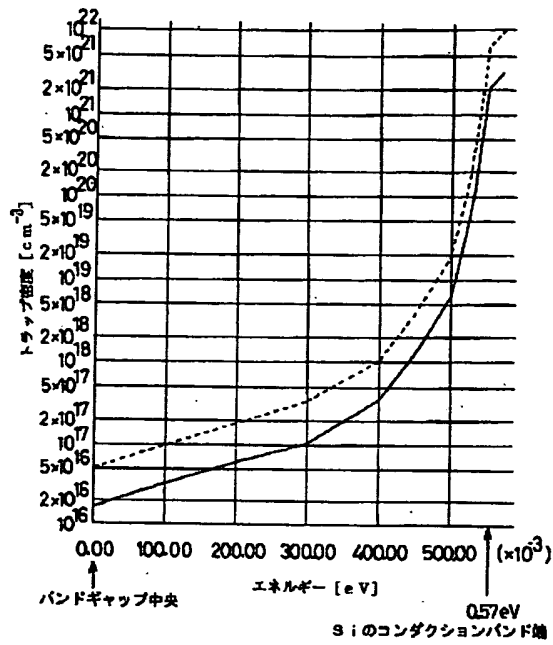
【図9】



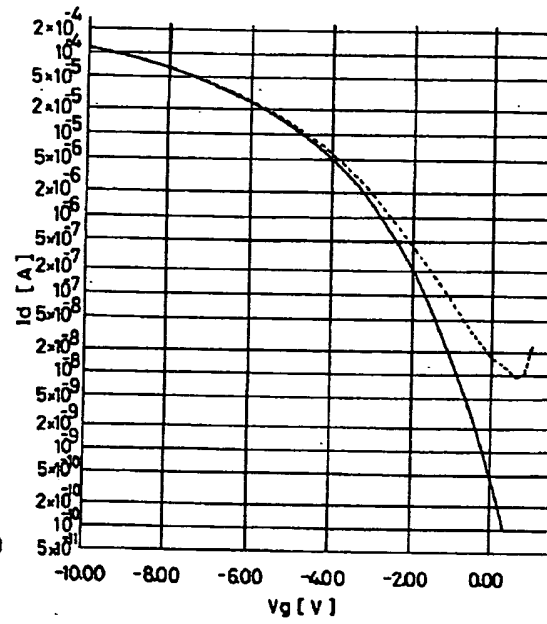
【図13】



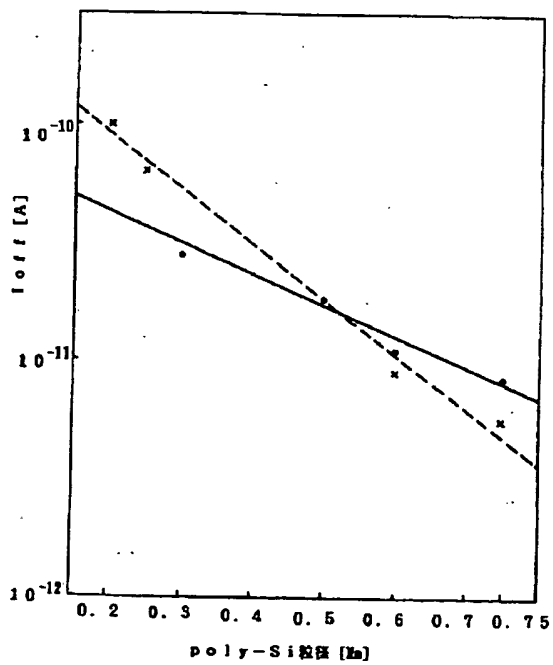
【図10】



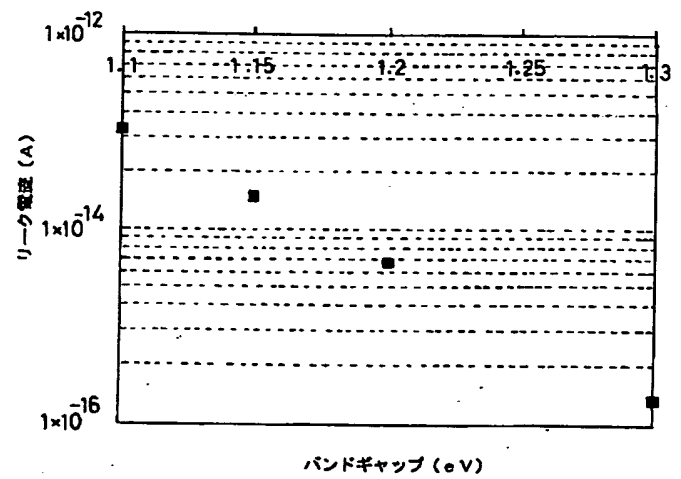
【図11】



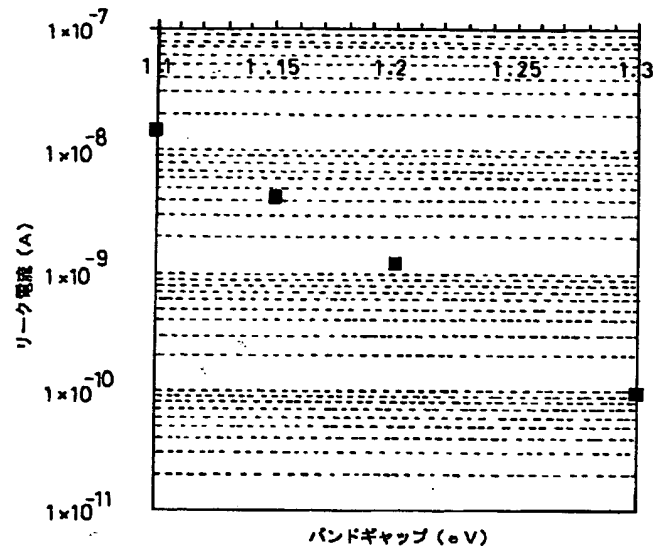
【図12】



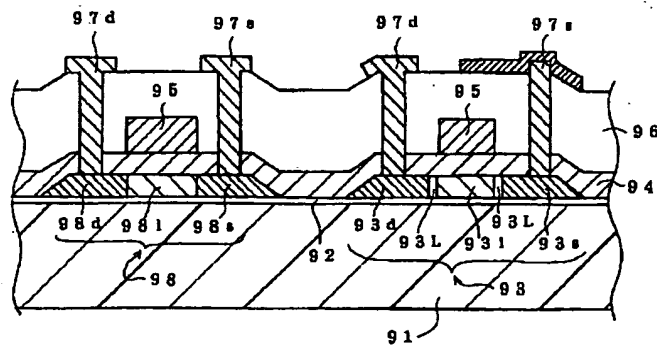
【図14】



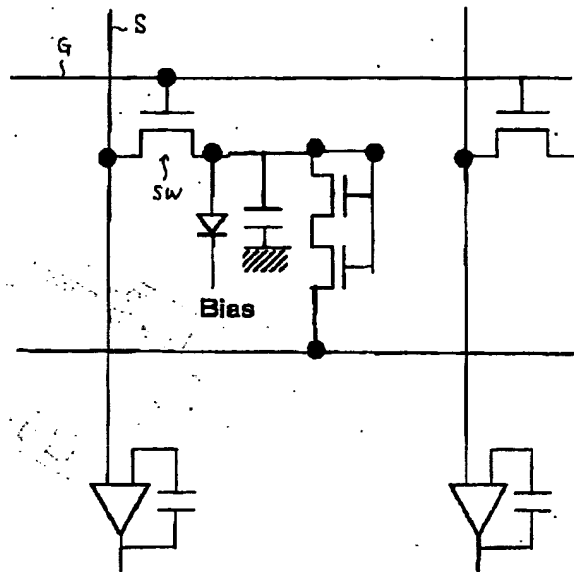
【図15】



【図16】



【図17】



フロントページの続き

(72)発明者 水谷 嘉久
神奈川県横浜市磯子区新磯子町33 株式会
社東芝生産技術研究所内